

## Filtros no lineales de máxima y mínima en modo voltaje basados en seguidores de voltaje anidados

Luis A. Sánchez Gaspariano<sup>1</sup>, Carlos Muñiz Montero<sup>1</sup>, Efraín G. Cuautle Zacatelco<sup>2</sup>, Francisco R. Trejo Macotela<sup>3</sup>, Fernando O. González Manzanilla<sup>1</sup> y Mario Espinosa Tlaxcaltecatl<sup>1</sup>  
<sup>1</sup>Cuerpo Académico de Electrónica, <sup>2</sup>Estudiante de Ing. en Electrónica y Telecomunicaciones, Universidad Politécnica de Puebla, 3er Carril del Ejido Serrano S/N, San Mateo Cuanalá, Juan C. Bonilla, Puebla, México. <sup>3</sup>Cuerpo Académico de Robótica y Electrónica Avanzada, Universidad Politécnica de Pachuca, Carr. Pachuca-Cd. Sahagún Km. 20, Rancho Luna, Ex-hacienda de Santa Bárbara, Municipio de Zempoala, Hidalgo, México  
 luisabraham.sg@gmail.com

### Resumen

*En el presente trabajo se introduce el análisis del principio de operación de la técnica de seguidores de voltaje anidados como operadores de máxima y mínima. En base a dicho análisis, se diseña e implementa un filtro de máxima y otro de mínima, ambos de cuatro entradas, con amplificadores operacionales y transistores de unión bipolar. Los resultados obtenidos muestran una buena resolución mínima de voltaje en los puertos de entrada (200mV y 40mV en cada caso) así como una frecuencia máxima de operación aceptable (50KHz) para procesamiento analógico de imágenes.*

### 1. Introducción

Una gran variedad de sistemas electrónicos emplean filtros activos para procesar señales eléctricas de algún modo prescrito. La gama de las aplicaciones incluye a los sistemas de comunicación [1], la instrumentación electrónica [2], los convertidores de datos [3] y el procesamiento de imágenes [4], por citar algunas. Matemáticamente, un filtro es un operador  $\phi()$  que modifica a un conjunto de señales de entrada,  $x$ , resultando en un conjunto de señales de salida,  $y$ , tal que  $y = \phi(x)$  [5]. En función de la naturaleza del operador utilizado, el filtro puede ser lineal o no lineal. Dentro de las familias de filtros no lineales más comunes se encuentran principalmente aquellos que realizan operaciones estadísticas tales como: los filtros de orden de rango, mediana, máxima, mínima y cuadráticos [6].

Particularmente, los filtros de máxima (MAX) y mínima (MIN) analógicos se emplean en arreglos masivos de circuitos para el procesamiento de señales en forma simultánea. Uno de los campos donde este

tipo de operadores se utilizan con mayor éxito es en el procesamiento morfológico de señales [7]. Las Figuras de Mérito (FOM por sus siglas en inglés) requeridas para los operadores analógicos de MAX/MIN son las siguientes [7]: bajo consumo de potencia, factor de forma (tamaño) pequeño, alta precisión, alta velocidad de operación, y alta confiabilidad.

Una buena parte de los circuitos de MAX/MIN reportados en la literatura operan en modo de carga [8]-[11] o modo corriente [12]-[19]. Una característica distintiva de los procesadores de MAX/MIN en modo de carga es que trabajan de forma síncrona con señales de reloj. Desafortunadamente, en arreglos masivos de circuitos la complejidad de la distribución de la señal de reloj aumenta en función del número de operadores empleados, además del incremento en el área requerida. Por otra parte, los circuitos de MAX/MIN en modo corriente se acoplan más fácilmente al transductor empleado entre las etapas de adquisición de datos y procesamiento. Además, presentan la ventaja de emplear menos área que su contraparte en modo de carga. Sin embargo, su precisión es menor y su confiabilidad cuestionable debido a los efectos nocivos del *mismatch* entre los dispositivos utilizados [20]. Una tercer posibilidad es implementar filtros de MAX/MIN que operen en modo voltaje. Algunas aproximaciones de este tipo ya han sido reportadas [21]-[30], siendo aquellas en las cuales se emplean seguidores de voltaje anidados (NVF por sus siglas en inglés) las que arrojan mejores resultados. No obstante, las arquitecturas propuestas no son claras en cuanto a su principio de funcionamiento, así como el hecho de que exhiben un rango dinámico bajo a la salida y tienen la necesidad de realizar algún tipo de compensación para evitar el problema de la estabilidad del circuito.

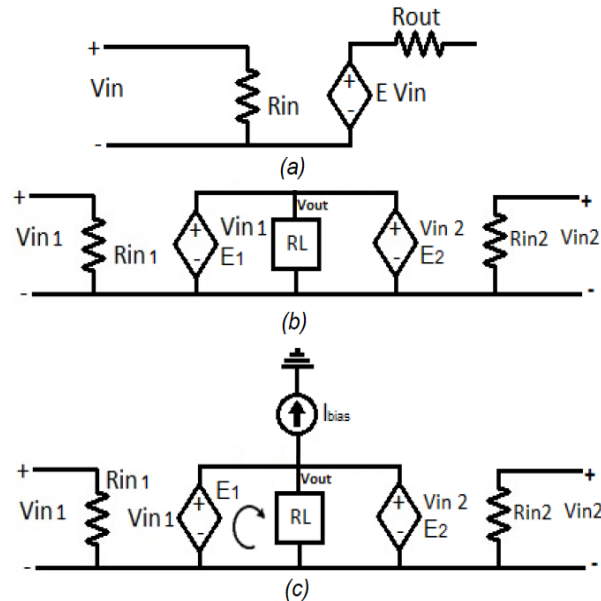
En la segunda sección del presente artículo, se analiza el principio de operación de la técnica de

NVFs y en base al resultado obtenido en dicho análisis se diseña e implementa, en la tercera sección, un filtro de MAX y otro de MIN, ambos de múltiples entradas, con amplificadores operacionales ( OPAMP TL084 ) y transistores de unión bipolar (BJT BC548 y BC549). Los resultados obtenidos experimentalmente con un circuito de MAX y otro de MIN, ambos de cuatro entradas, se reportan en la cuarta sección. Finalmente, las conclusiones obtenidas se detallan en la quinta sección.

## 2. Operación de circuitos de MAX/MIN basados en NVFs

La Figura 1 (a) muestra el diagrama eléctrico de un seguidor de voltaje ideal. Puede verse que se trata de una red de dos puertos en cuyo puerto de entrada se tiene una impedancia de entrada puramente resistiva de alto valor (en el rango de los  $M\Omega$ ) mientras que en su puerto de salida hay una fuente de voltaje controlada por voltaje con ganancia unitaria en serie con una resistencia de bajo valor (en el rango de unos cuantos  $\Omega$ ). Analicemos que sucede si conectamos dos seguidores de voltaje en paralelo a una carga  $R_L$  asumiendo que  $R_{out1}=R_{out2}=0$ , tal y como se muestra en las Figura 1 (b). Dado que se tienen dos fuentes de voltaje en paralelo, este circuito en principio sólo funciona si  $V_{in1}=V_{in2}$ , ya que en el análisis de circuitos no se han definido casos para fuentes de voltaje conectadas en paralelo. Ahora bien, si conectamos una fuente de corriente directa (CD) ,  $I_{bias}$ , tal y como se ilustra en la Figura 1 (c), habilitaremos al circuito para que haya variaciones entre los voltajes de las fuentes controladas ya que añadimos un mecanismo de inhibición que funciona de la siguiente manera: de acuerdo con la ley de ohm, si el voltaje entre las terminales de un resistor aumenta también la corriente que circula a través de éste se incrementará, por tanto, cuando el valor de  $V_{in1}$  se hace mayor que el de  $V_{in2}$ , entonces la corriente que circula a través de  $R_L$  estará determinada por  $V_{in1}$  mientras que  $V_{in2}$  se inhibe de entregar corriente a  $R_L$  y absorbe la corriente  $I_{bias}$  (Figura 1(c)); por otra parte, para el caso cuando  $V_{in2}$  aumenta,  $V_{in1}$  se inhibe y no entrega corriente a  $R_L$  sino que absorbe la corriente de  $I_{bias}$ .

Es fácilmente verificable que el principio de funcionamiento del circuito de la Figura 1 (c) puede extenderse a un número mayor de seguidores de voltaje conectados en paralelo (anidados). En este caso, el voltaje más grande entre el conjunto de los “n” voltajes de entrada de los NVFs es el que va a ser transferido al puerto de salida del circuito para manejar la carga  $R_L$ . De este modo, el voltaje en el puerto de salida se expresa como.



**Figura 1.** (a) Seguidor de voltaje ideal, (b) Seguidores de voltaje conectados en paralelo, (c) Acción inhibitoria del seguidor de voltaje con una fuente de corriente ideal  $I_{bias}$  cuando una de las entradas aumenta.

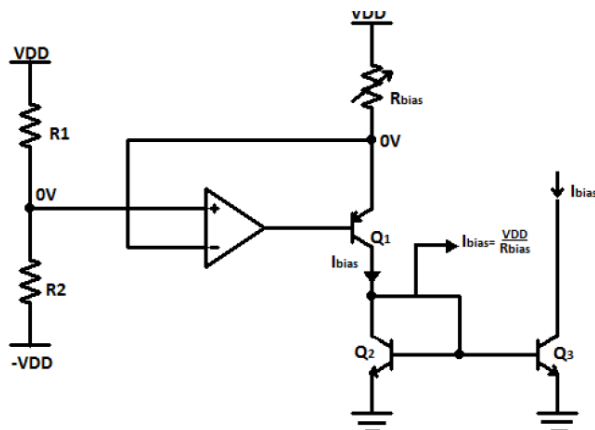
$$V_{out}(t) = \max \{V_{in1}(t), V_{in2}(t), \dots, V_{inN}(t)\} \quad (1)$$

Dado que desde el punto de vista de la teoría de conjuntos el operador de máxima es un operador lógico proposicional [7], se pueden emplear las leyes de Morgan para obtener la operación de mínima a partir de la operación de máxima. En la práctica, esto se realiza empleando NVFs con corrimientos de fase de  $180^\circ$  e invirtiendo el sentido de la corriente  $I_{bias}$  en el circuito de la Figura 1 (c) [23].

Es importante mencionar que para lograr establecer el comportamiento inhibitorio en el circuito de la Figura 1 (c) en aquellos seguidores de voltaje que no poseen el voltaje más grande en su entrada, y por tanto tener a la salida del arreglo el voltaje máximo, los NVFs empleados deben exhibir las siguientes características:

- Resistencia de salida idealmente cero (lo más baja posible en un circuito práctico).
- Ser polarizados con la corriente  $I_{bias}$  o una fracción de ésta en el caso de múltiples entradas ( $> 3$ ).

En la siguiente sección se aborda el diseño de un circuito seguidor de voltaje con OPAMPs y BJTs que presenta estas propiedades y mediante el cual se implementa un filtro máxima y otro de mínima, ambos de 4 entradas.



**Figura 2.** Fuente de corriente con transistores BJT tipo PNP y NPN, amplificador operacional y resistores.

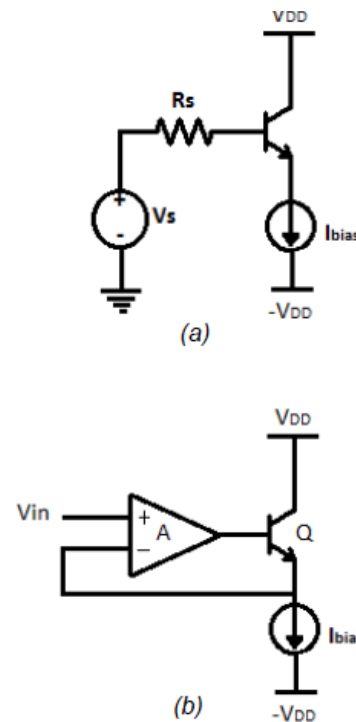
### 3. Implementación de circuitos de MAX/MIN de múltiples entradas con NVFs en modo voltaje

La figura 2 muestra el diagrama eléctrico de una fuente de corriente con transistores BJT tipo PNP y NPN, un OPAMP y tres resistores. En el circuito se tiene un espejo de corriente conformado por los transistores NPN Q2 y Q3 para invertir la dirección de la corriente  $I_{bias}$ . El divisor de voltaje resistivo entre  $R_1$  y  $R_2$  fija el valor de voltaje en las entradas del amplificador operacional a 0V. Luego, la corriente que circula en el transistor conectado a la salida del OPAMP se define a través del resistor  $R_{bias}$  como

$$I_{bias} = \frac{V_{DD}}{R_{bias}} \quad (2)$$

Esta corriente se controla, por lo tanto, con el valor de  $R_{bias}$ , así que mediante el uso de un potenciómetro se puede ajustar. Una vez que  $I_{bias}$  se ha establecido, se copia a través del espejo de corriente.

Por otra parte, la Figura 3 (a) muestra un circuito seguidor de voltaje con BJT. El transistor está polarizado con una fuente de corriente que se supone tiene una elevada resistencia de salida. Dicha fuente establece una tierra de señal en el emisor. Una de las ventajas que ostenta este circuito es el hecho de que la corriente de emisor es independiente de los valores  $\beta$  y  $R_S$ . Por tanto,  $R_S$  puede ser de valor grande y hacer posible el aumento de la resistencia de entrada en la base sin afectar la estabilidad de polarización ya que  $I_{bias}$  es fijo. Es importante señalar que  $V_S$  y  $R_S$  representan el circuito equivalente de Thevenin del circuito que precede al seguidor de voltaje. Por esa razón, el puerto de entrada del seguidor es entre base y



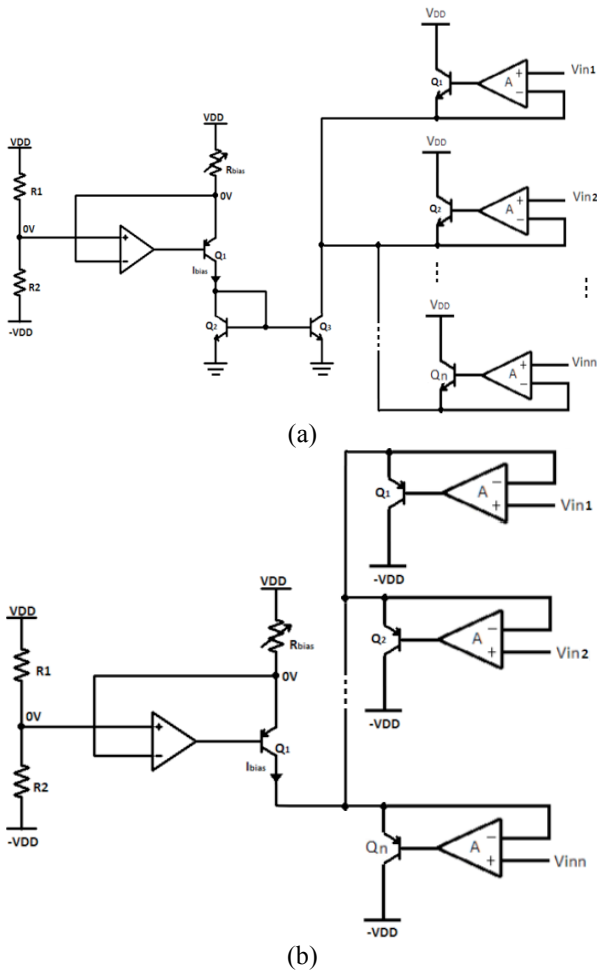
**Figura 3.** Seguidor de voltaje con: (a) transistor BJT tipo NPN y (b) transistor BJT tipo NPN con lazo de retroalimentación negativo implementado con OPAMP.

colector, que está a tierra de señal, mientras que el puerto de salida se encuentra entre colector y emisor. Es sabido que la impedancia de salida del seguidor de voltaje de la Figura 3 (a) está dado por  $r_e$ , que es la resistencia del emisor del dispositivo, la cual se define por la corriente de colector y el voltaje térmico [31]. Consecuentemente, la impedancia de salida depende del punto de operación y esto puede ser una desventaja si se requiere que el seguidor de voltaje funcione como acoplador de impedancias, i.e. que la transferencia unitaria de voltaje entre la entrada y la salida del seguidor se mantenga aún para impedancias de carga demasiado bajas, como es el caso de los NVFs usados para implementar operaciones de MAX/MIN.

Con el objetivo de realizar un seguidor de voltaje con un mejor acoplamiento de impedancias entre sus puertos de entrada y salida, se puede incluir un lazo de retroalimentación negativa, tal y como se muestra en el circuito de la Figura 3 (b). Al realizar el análisis correspondiente, se puede verificar que la impedancia de salida se expresa como [32]

$$Z_{out} = \frac{r_e}{A} + \frac{R_S}{A(\beta + 1)} \quad (3)$$

donde  $A$  es la ganancia en lazo abierto del OPAMP,  $\beta$



**Figura 4.** Filtro no lineal en modo voltaje con  $n$  entradas de: (a) MAX y (b) MIN.

es la ganancia de corriente del BJT y  $R_S$  es, en este caso, la impedancia de salida del OPAMP. Dado que la ganancia en lazo abierto del amplificador es típicamente alta ( $\geq 100\text{dB}$ ) y su impedancia de salida baja ( $\approx 100\Omega$ ), la impedancia de salida del seguidor de voltaje está dada en su mayor parte por la razón entre la impedancia del emisor del transistor,  $r_e$ , y la ganancia  $A$ , y ésta razón es, de forma aproximada,  $Z_{out} \approx 0\Omega$ . Por lo tanto, la topología de la Figura 3(b) presenta una impedancia de salida muy baja, cercana al valor ideal que se requiere por parte de un arreglo circuital de NFVs. Además, al interconectar el seguidor de voltaje de la Figura 3(b) y la fuente de corriente de la Figura 2 que genera la polarización  $I_{bias}$ , se cuenta con el mecanismo de polarización para conectar múltiples seguidores de voltaje, de baja impedancia de salida, en paralelo y así poder procesar múltiples señales de entrada. El circuito para seguir al valor

seguir al valor mínimo de un conjunto de  $n$ -voltajes de entrada se ilustra en la Figura 4 (b).

#### 4. Resultados

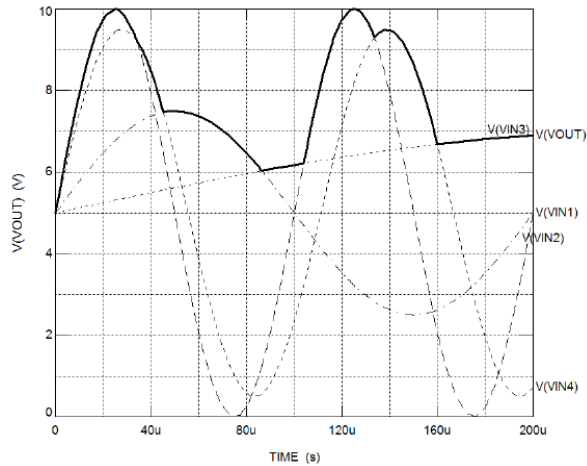
La implementación de dos circuitos, uno de MAX y otro de MIN, cada uno de ellos con cuatro entradas se realizó en un *protoboard* con 2 amplificadores operacionales matrícula TL084, 4 resistores de  $10\text{K}\Omega$ , 2 potenciómetros de  $10\text{K}\Omega$ , 7 transistores bipolares tipo NPN matrícula BC548 y 6 transistores tipo PNP matrícula BC549. Para el cableado del circuito se utilizó cable UTP categoría 5. El TL084 tiene un Producto de Ganancia Ancho de Banda de  $2.5\text{MHz}$  y una Ganancia en lazo Abierto de  $106\text{dB}$ . Por esta razón, el TL084 fue utilizado para construir la fuente de corriente y los OPAMPs en modo seguidor de voltaje para colocar las distintas señales de entrada al circuito.

Por otra parte, para la alimentación de los circuitos se utilizó una fuente de alimentación BK PRECISION 1760, 2 Generadores de funciones Agilent 331220A de  $15\text{MHz}$ , 1 Generador de funciones BK PRECISION 4084AWG de  $20\text{MHz}$ , 1 Osciloscopio Tektronix TDS 1002 de dos canales y  $60\text{MHz}$  de ancho de banda.

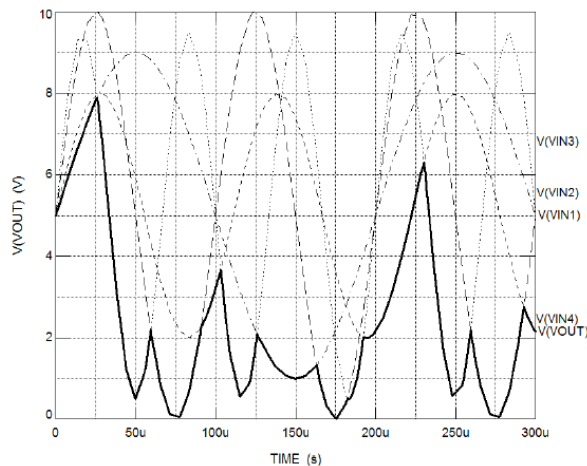
Con el objetivo de observar la respuesta y las características del seguidor de voltaje, cada generador de señal se configuró a distintas frecuencias y diferentes amplitudes para las cuatro entradas. Los resultados experimentales obtenidos a la salida de ambos circuitos, MAX y MIN, propuestos con cuatro entradas se observan en la tabla 1. Puede apreciarse que, en ambos casos, los voltajes de polarización fueron de  $20\text{V}$  (polarización simétrica de  $\pm 10\text{V}$ ), los voltajes pico de entrada máximos de  $5\text{V}$  y la frecuencia máxima de operación de  $50\text{KHz}$ . El consumo de potencia fue aproximadamente similar con  $80\text{mW}$  de diferencia entre uno y otro; esto se debe principalmente a las diferencias en las ganancias de corriente,  $\beta$ , de los transistores. Donde si existe una diferencia más o menos considerable es en la resolución mínima que son capaces de resolver cada uno de los filtros, siendo el filtro de mínima el que presenta un mejor resultado de  $40\text{mV}$  vs los  $200\text{mV}$  del filtro de máxima. Nuevamente, la  $\beta$  de los transistores juega un papel importante en éste rubro ya que la ganancia de corriente de los transistores tipo PNP es mayor que la de los NPN. Esto es una desventaja ya que si se requiere de realizar un diseño con una mayor precisión en cuanto a la resolución mínima que debe ser capaz de resolver, la arquitectura propuesta con dispositivos de unión bipolar no podrá ser capaz de garantizar dicha demanda.

**Tabla 1.** Resultados experimentales de los operadores de MAX y MIN de 4 entradas

Característica	Filtro MAX	Filtro MIN
Voltaje de polarización	20V	20V
Consumo de potencia total	600mW	680mW
Frecuencia máxima de operación	50KHz	50KHz
Voltaje pico de entrada máximo	5Vp	5Vp
Resolución mínima de voltaje	200mV	40mV



(a)



(b)

**Figura 5.** Respuesta en el tiempo de: (a) filtro no lineal de MAX de cuatro entradas y (b) filtro no lineal de MIN de cuatro entradas.

de MAX mientras que en la Figura 5 (b) se muestran el comportamiento del operador de MIN. Puede apreciarse que en ambos casos los circuitos son capaces de seguir a los valores máximos y mínimos, respectivamente, de los voltajes de entrada.

## 5. Conclusión

Se realizó el diseño de un circuito de máxima y uno

de mínima con amplificadores operacionales y transistores bipolares. El diseño propuesto se basa en el uso de seguidores de voltaje con un mecanismo de inhibición dado por una fuente de corriente de CD. La implementación física de los circuitos de máxima y mínima con cuatro entradas se llevó a cabo. Los resultados obtenidos muestran que el circuito propuesto tiene una alta resolución y una buena capacidad de soportar múltiples entradas. El consumo de potencia es moderado considerando los valores de polarización utilizados. Los circuitos de máxima y mínima realizados operan adecuadamente en el rango de 50KHz. Esto es suficiente para realizar procesamiento de imágenes, voz y audio. Para controlar la acción del circuito como operación de máxima y mínima, debe cambiarse la dirección de la corriente  $I_{bias}$  en el sistema. Esto le da la ventaja de controlar fácilmente la operación no-lineal que debe realizar. La principal desventaja de los circuitos propuestos es su sensibilidad a la variación de la ganancia de corriente de los transistores empleados, ya que esto limita la funcionalidad de los circuitos a aplicaciones donde no se requiera una precisión muy grande, como es el caso de sistemas de lógica difusa. Sin embargo, al sustituir el dispositivo de unión bipolar por un transistor tipo MOSFET, este comportamiento puede corregirse debido a que los transistores MOS son controlados por voltaje y no por corriente, como es el caso de los dispositivos bipolares.

Aún pueden realizarse algunas tareas con el objetivo de enriquecer los alcances del proyecto reportado en el presente trabajo, algunas de éstas se enlistan a continuación: 1) la aplicación de los operadores en algún sistema de control; 2) la optimización del circuito propuesto eliminando el uso del OPAMP en el seguidor de voltaje por un amplificador más compacto y de mayor velocidad; 3) la realización de un operador de MAX/MIN controlado digitalmente en tecnología CMOS; 4) establecer un modelo matemático no lineal adecuado para describir el mecanismo de inhibición en el sistema; 5) extender el rango de operación a frecuencias mayores; y finalmente, 6) incluir las operaciones estadísticas de mediana y orden de rango en el circuito.

## 6. Agradecimientos

Los autores agradecen al Programa de Mejoramiento del Profesorado (PROMEP) por el apoyo brindado a través del proyecto "Diseño e implementación de un transmisor inalámbrico para la banda médica de 401MHz-406MHz" con clave UPPUE-PTC-038.

## 6. Referencias

- [1] B. Razavi, "RF Microelectronics", 2nd ed. P. Hall, 2011, ch. 4, sec. 4.1, pp. 155-160.
- [2] G. Moschytz, "Trade-Offs in Sensitivity, Component Spread and Component Tolerance in Active Filter Design", in Trade-Offs in Analog Circuit Design: The Designer's Companion, C. Tomauzou et al, Ed. New York: Kluwer Academic Publishers, 2002, pp. 315-339.
- [3] B. Razavi, "Principles of Data Conversion System Design", 1st ed. Wiley-Interscience, 1995, ch. 1, pp. 1-7.
- [4] I. Pitas & A. N. Venetsanopoulos, "Nonlinear Digital Filters: Principles and Applications", 1st ed. Kluwer Academic Publishers, 1990, ch. 5, pp. 117-147.
- [5] R. C. González & R. E. Woods, "Digital Image Processing", 3rd ed. Prentice Hall, 2007, ch. 2, pp 70-71.
- [6] A. Moini, "Vision Chips", 1st ed. Kluwer Academic Publishers, 2000, ch. 3, pp. 23-41.
- [7] E. R. Dougherty, "An Introduction to Morphological Image Processing", 1st ed. SPIE Press, 1992, ch. 6, pp. 91-113.
- [8] J. Silva et al. "Modular CMOS charge based Hamming Neural Network", In Proc. IEEE First Int. Conf. on Elect. Circ. and Syst. (ICECS), Cairo, 1994, pp. 561-565.
- [9] U. Cilingiroglu, "A Charged-Based Neural Hamming Classifier", IEEE J. Solid-State Circuits, vol. 28, Issue 1, pp. 59-67, Jan 1993.
- [10] B. Sekerkiran and U. Cilingiroglu, "A High Resolution CMOS Winner-Take-All Circuit", In Proc. IEEE Int. Conf. On Neural Networks, Perth, 1995, pp. 2023-2026.
- [11] G. Kothapalli, "Compensation of a Winner Take All Circuit", In Proc. IEEE Int. Conf. on Elect. Circ. and Syst. (ICECS), Sharjah, 2003, pp. 352-355.
- [12] S. P. DeWeerth and T. G. Morris, "CMOS Current Mode Winner-Take-All Circuit with Distributed Hysteresis", IEEE Electronics Lett., vol. 31, No. 13, pp. 1051-1053, Jun 1995.
- [13] A. Fish, V. Milrud and O. Yadid, "High-Speed and High-Precision Current Winner Take All Circuit", IEEE Trans. Circ.Syst. II, vol. 52, Issue 3, pp. 131-135, Jan 2005.
- [14] A. Demosthenous, et al., "Enhanced Modular CMOS Current-Mode Winner-Take-All Network", In Proc. IEEE Int. Conf. on Elect. Circ. and Syst. (ICECS), Rodos, 1996, pp. 402-405.
- [15] T. Serrano and B. Linares, "A Modular Current-Mode High-Precision Winner-Take-All Circuit", IEEE Trans. On Circ. Syst. II, Vol. 42, Issue 2, pp. 132-134, Feb 1995.
- [16] G. J. Yu and B. D. Liu, "Bi-Directional Current-Mode Multiple Input Maximum Circuit", In Proc. IEEE Asia Pacific Conf. on Adv. Sys. Integrated Circ. (APASIC), Cheju, 2000, pp. 41-44.
- [17] C. C. Yu et al. "Design of high performance CMOS Current-Mode Winner-Take-All Circuit", in Proc. IEEE Syst. Integration Control (ASIC), Beijing, 2003.
- [18] J. Ramírez et al. "Low Voltage High Performance Voltage Mode and Current Mode WTA Circuits Based on Flipped Voltage Followers", IEEE Trans. Circ. Syst. II, Vol 52, Issue 7, pp. 420-423, July 2005.
- [19] S. Vlassis et al. "Analog Implementation of Erosion/Dilation Median and Order Statistics Filters", Elsevier Pattern Recognition, vol. 33, Issue 6, pp. 1023-1032, June 2000.
- [20] C. Muñoz, "Corrección de Offset en Líneas de Retardo de Frecuencia Intermedia", M.Sc. Thesis, Electronics department, Instituto Nacional de Astrofísica, Óptica y Electrónica, Santa María Tonanzintla, Puebla, México, 2003.
- [21] J. Choi and B. J. Sheu, "A High Precision VLSI Winner-Take-All Circuit for Self-Organizing Neural Networks", IEEE J. Solid-State Circuits, vol. 28, May 1993, No. 5.
- [22] Y. C. Hung and B. D. Liu, "A generalized High-Precision Analog CMOS Rank Finder for MAX/MIN/MED Applications", In Proc. IEEE International Fuzzy Systems Conference (IFSC 1999), 1999.
- [23] I. E. Opris, "Rail to Rail Multiple-Input Min/Max Circuit", IEEE Trans. Circ. Syst. II, vol. 45, Jan 1998, No. 1.
- [24] H. Gundersen and Y. Berg, "Max and Min Functions using Multiple-Valued Recharged Semi-Floating Gate Circuits", In Proc. IEEE International symposium on Circuit and Systems (ISCAS 2004), 2004.
- [25] S. Siskos et al. "Analog Implementation of Fast MIN/MAX Filtering", IEEE Trans. Circuits Syst. II, vol. 45, Jul 1998, No. 7.
- [26] I. Pitas and A. Venetsanopoulos, "A New Filter Structure for the Implementation of Certain Classes of Image Processing Operations", IEEE Trans. Circuits Syst., vol. 35, Jun 1988, No. 6.
- [27] K. Urahama and T. Nagao, "Direct Analog Rank Filtering", IEEE Trans. Circuits Syst. II, vol. 42, Jul 1995, No. 7.
- [28] V. A. Pedroni and B. U. Pedroni, "Output Stage Based High-Resolution Min/Max and Rank-Order Filters", IEEE Trans. Circuits Syst. II, vol. 52, Jan 2005, No. 1, 2005.
- [29] D. Y. Akstn. "A High-Precision High-Resolution WTA-MAX Circuit of O(N) Complexity", IEEE Trans. Circuits Syst. II, vol.49, Jan 2002, No.1.
- [30] D. Coltuc and I. Pitas. "On Fast Running Max-Min Filtering", IEEE Trans. Circuits Syst. II, vol.44, Aug 1997, No. 8.
- [31] Adel S. Sedra and Kenneth C. Smith, "Circuitos Microelectrónicos", 4th ed. Oxford University Press, 1998, ch. 4, pp. 221-326.
- [32] Luis Abraham Sánchez Gaspariano & Alejandro Díaz-Sánchez, "Analog CMOS Morphological Edge Detector for Gray-Scale Images", in Analog Circuits: Applications, Design and Performance, Esteban Tlelo-Cuautle, Ed. Ney York: Nova Science Publishers, 2012, pp. 149-168.